

【한국공개특허공보 2002-2599호(2002.01.10) 1부.】

특 2002-0002599

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
H01L 27/10

(11) 공개번호 국2002-0002599  
(43) 공개일자 2002년01월10일

(21) 출원번호 10-2000-0036823  
(22) 출원일자 2000년06월30일  
(71) 출원인 주식회사 하이닉스반도체 박종섭  
경기 미천시 부활읍 마미리 산136-1  
(72) 발명자 홍석경  
경기도과천시부림동49주공아파트809-505  
(74) 대리인 특허법인 신성

심사청구 : 없음

(54) 플러그의 산화를 효과적으로 방지할 수 있는 반도체메모리 소자 및 그 제조 방법

요약

본 발명은 고온 산화 분위기에서 유전막을 형성함에 따른 플러그의 산화를 효과적으로 방지할 수 있는 반도체 메모리 소자 및 그 제조 방법에 관한 것으로, 종래 BST, PZT 및 SBT와 같이 고온 산화 분위기 조건을 요구하는 유전막 형성 공정 중 일어나는 플러그의 산화문제를 해결하기 위해서, 고온 내산화 특성 및 전기 전도성이 우수한 백금(Pt)으로 플러그를 형성하는데 그 특징이 있다. 또한, 산소확산방지 특성이 우수한 IrO<sub>2</sub> 및 Pt를 적층하여 축전을 위한 캐패시터 하부전극을 형성하는데 또 다른 특징이 있다.

도면도

도 2a

제1면

반도체, 메모리, 소자, 캐패시터, 유전막, 플러그, Pt, 확산장벽, IrO<sub>2</sub>

발명자

도면의 간단한 설명

도 1은 종래 기술에 따른 반도체 메모리 소자 제조 공정 단면도.

도 2a 내지 도 2g는 본 발명의 실시 예에 따른 반도체 메모리 소자 제조 공정 단면도.

\* 도면의 주요부분에 대한 도면 부호의 설명

35: 확산장벽막 37: 플러그용 Pt막  
38: 하부전극용 IrO<sub>2</sub>막 39: 하부전극용 Pt막  
40: 유전막 41: 상부전극용 Pt막

도면의 상세한 설명

도면의 목적

도면이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 소자 제조 분야에 관한 것으로 특히, 고온 산화분위기에서 형성되는 유전막을 캐패시터의 축전층으로 구비하는 반도체 메모리 소자에 있어서, 플러그 산화를 효과적으로 방지할 수 있는 반도체 메모리 소자 및 그 제조 방법에 관한 것이다.

BEST AVAILABLE COPY

**ABSTRACT OF Korean Patent Application No. 10-2000-0036823**

There is provided a semiconductor memory device and a method for fabricating the same. According to the present invention, the semiconductor memory device is efficiently capable of efficiently preventing plug's oxidation caused by forming a dielectric layer in an oxidation ambient of high temperature. In order to overcome plug's oxidation in a process of forming a dielectric layer requiring an oxygen ambient of high temperature such as BST, PZT and SBT, a plug is formed of platinum having excellent electric conductivity and high-temperature acrotolerant characteristic. In addition, a capacitor bottom electrode for storage is formed by stacking  $\text{IrO}_2$  and Pt, which have excellent oxygen-diffusion prevention characteristic.